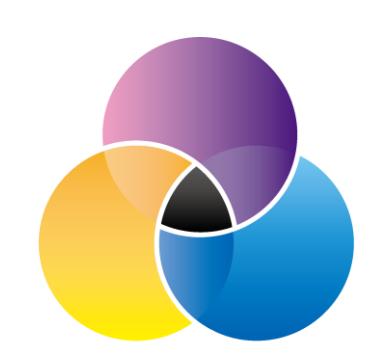


# Technology Alliance THEATER Time Schedule

11:00 - 11:15	3DIC, Chiplet, 先端半導体パッケージ設計ソリューション 株式会社図研 技術本部 EL開発部
11:30 - 11:45	境界のないモノづくりを支援するシステムレベル設計・検証環境 株式会社図研 SE統括部 第一SE部
12:00 - 12:30	半導体検査のプローブカード 設計ネット層割当ての最適化アプローチ 株式会社図研 技術本部 EL開発部
12:30 - 12:45	バリエーション設計を攻略！ 150%CADデータを軸とした受注設計プロセスの効率化 株式会社図研 SE統括部 第二SE部
13:00 - 13:15	 オンシリコン・オフシリコンの境界を取り扱う設計環境の進化 3D/2.xDICの前工程・後工程統合設計フローを実現する Zuken/Synopsys 2社のテクノロジーアライアンス 株式会社図研
13:30 - 13:45	 チップレットで設計フローが変わる！ 設計環境も協調がキーに チップレットを包括的に設計する3DIC Compiler 日本シノプシス合同会社
14:00 - 14:15	 図研とAnsysで実現する協調解析の最前線 アンシス・ジャパン株式会社
14:30 - 14:45	パワーモジュール設計ソリューション 株式会社図研 技術本部 EL開発部
15:00 - 15:15	境界のないモノづくりを支援するシステムレベル設計・検証環境 株式会社図研 SE統括部 第一SE部
15:30 - 15:45	設計データを連携して正しくDR(検証)！ 検証業務と結果を集約する電装設計専用DRソリューション 株式会社図研 SE統括部 第二SE部