

DfT(Design for Testing)実現に向けた EDAの取り組み

(株)図研 / 松澤 浩彦

1 はじめに

今までなかなか解けなかった課題に、AI(Artificial Intelligence: 人工知能)を適用しようとする動きがさかんである。大量のデータがあればそこから特徴量を抽出できるようになってきた。

従来の演繹的なアプローチから、帰納的なアプローチへの転換である。そこには大量のデータが鍵となる。適切にセンシングしたデータを大量に用意できると可能性が広がる。

センサも様々なものが生み出されてきており、センシングできるものも多種になってきた。それを支えるセンサデバイスは、必ずしもデジタル技術だけではなく、アナログ技術との組み合わせが重要になってきた。

「デジタル大量生産」から「アナログ込みの少量多品種/モジュール」へ時代が変わりつつある。そこでは、カメラ機能の高度化による差別化や、電源機能強化による長時間駆動機能の実現など、多様なニーズへの即応性が必要となっている。その実現性は、アナログセンサ、アクチュエータ、給電、無線方式、デジタルのそれぞれが多様な組み合わせを保ち、かつ、すり合わせによる。しかもソフトウェアだけでは対応できない多様性が生まれてきているため、一層のハードウェアの地位向上が望まれている。

たとえば部品内蔵技術は、これらの機能・要素を基板内に取り込み最小限の大きさで実現できる実装技術であり、まさに活躍の場は、IoTエッジデバイスでの部品内蔵モジュールとして広がってきている。

いっぽうで市場の要求は、気の利いた我々の生活を豊かにしてくれるコトを実現できるモノを、市場にタイムリーに供給できることが重要になっており、電子機器製造企業は、これらニーズへの確な対応が必要となっている。すりあわせ技術による複雑な「モノ」、を品質担保して、いち早く製品化することが求められており、設計部門での解析活用はもとより、製造部門との今までとはギアを上げた密連携も必至になる。

DfX=Design for X(XにはManufacturing/Testing等が入る)に真剣に取り組まなければならない。ただ、その実現

にはまだまだ課題も多い。設計段階でいかに製造段階での課題を理解し、設計に織り込めるかが勝負である。

2 市場ニーズと課題

従来、設計は設計部署の中で、生産は生産現場の中で閉じて、それぞれに進化を遂げてきた。作業効率向上を志向してきた結果、各部署内最適化が行われ、その部分ではこれ以上できないほど効率化が実現されてきた。

いっぽうでその枠を超えた取り組みは考えもしくなくなり、自分の部門の利益にならないことには興味がなくなっている。コストにドライブされた分業の悪しき結果である。部品内蔵基板のように複雑なものを上手に創るには、部署を超えた取り組みが必要になっていることに気づき始めているが、現場は忙しく、それをドライブできずにいる。

以下、生産現場の中でも、テストにフォーカスして、CADと各種検査装置間で現状できていることと、今後の高密度基板におけるDfT(Design for Testing)の方向性を述べる。

まず、CADと各種検査装置間で現状できていることを述べる。インサーキットテストに対しては、CADよりネットリストに部品の極性や定数を埋め込んだ情報を出力したり、テストポイントの位置情報を受け渡したりと、いわゆるシステム間接続の省力化や自動化に取り組んできた。CAD設計情報とリンクさせたデバッグ箇所の表示ツールが有効である。CADではテストポイント設計や編集のための様々な機能が開発されてきている。例として部品内蔵基板向けの検査データ出力機能を図1に示す。ここではテストポイントの情報と部品検査情報から内蔵された部品の検査データを生成している。

また、出力した検査データの各ステップに対して、検査時に使用する各テストポイント間の回路図を生成する機能もリリースされている。テストポイント間の部品接続情報を参照することで検査データのデバッグを効率化することが可能になる。図2に例を示す。

しかしながら、BGA/CSP搭載基板や部品内蔵基板のよう

な高密度な基板では、今までの各検査の限界が見えてきている。以下それぞれの限界を示す。

- 自動外観検査：BGA/CSPや内蔵部品の検出不可
- X線検査装置：全品検査は困難
- インサーキットテスト：基板の高密度化によりテストポイントを立てるのが困難
- ファンクションテスト：治具製作工数の増大

この限界を解決する新たな手法を設計と検査に取り込んでいかなければいけない。たとえば、部品内蔵基板では、テストデバッグ段階でできる限り検査計画の妥当性を検証することが必要であり、テスト効率の大幅な削減に繋がる。CAD側ではそれを支援することが今後も重要になる。

3 課題解決のために必要な技術

1. バウンダリスキャンテストの可能性

部品内蔵基板の検査においては以前からバウンダリスキャンテストの有効性が論じられてきた¹⁾。もともとバウンダリスキャンはQFP(Quad Flat Package)やSOP(Small Outline Package)のピン間が狭くなるのに伴い、テストプローブの直径を細くすることが追いつかなくなってきたことに端を発している。

歴史を紐解くと1985年には欧州企業中心にJETAG(Joint European Test Action Group)が発足され、そこに1986年に北米企業が加わり、欧州を意味するEuropeanが外れ、JTAG(Joint Test Action Group)に改称されている。

1987年にはversion1.0を発表、1988年にはversion2.0となりIEEEに提案され、1990年にIEEE std 1149.1として承認されている¹⁾。

1990年台に入り、BGA(Ball Grid Array)やCSP(Chip Size Package)もしくはChip Scale Package)を搭載したボードが増えてきて民生機器での活用例も出ている²⁾。

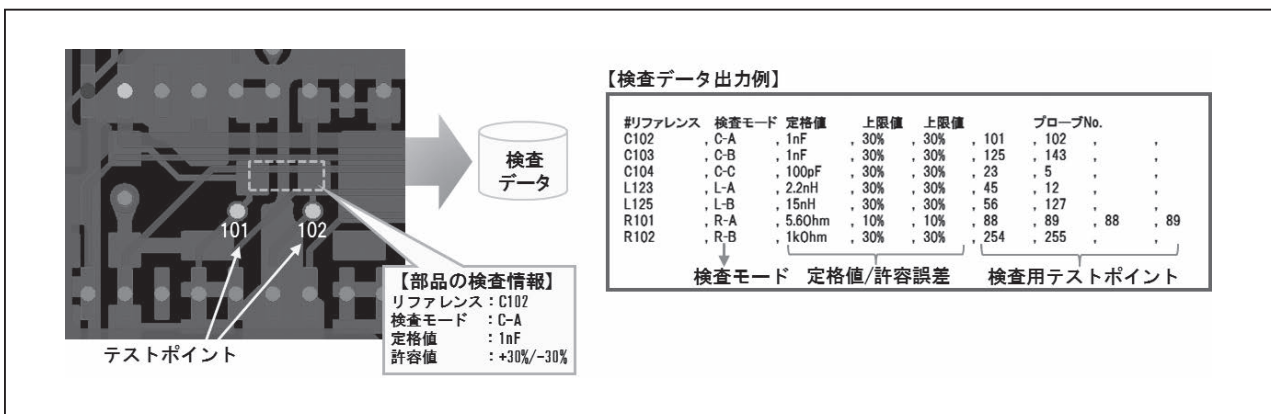


図1 部品内蔵基板向け検査出力例

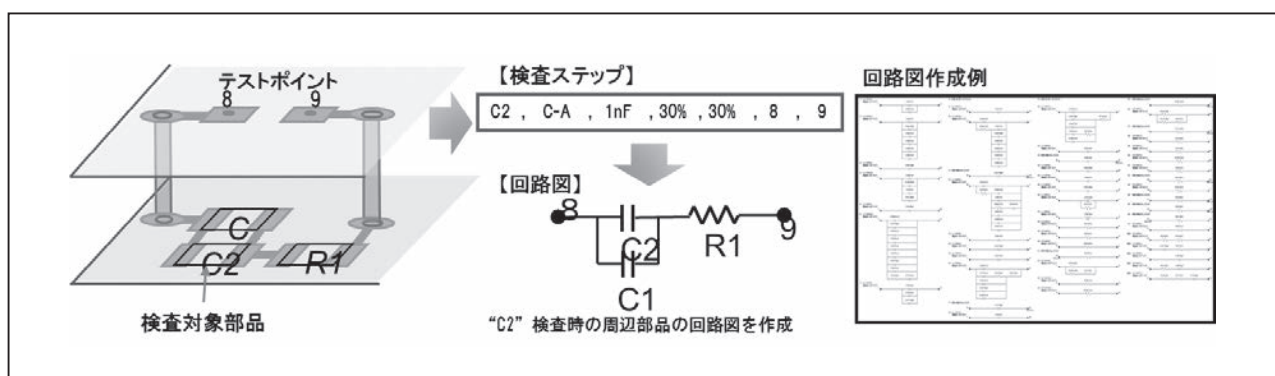


図2 各テストポイント間の回路図を生成する機能例

以下に国内で導入した顧客の声を挙げる³⁾。

- ファンクションチェッカで必要なターゲットデバイスの詳しい知識が無くても生産用チェッカーが製作可能になり、製作単価、社内工数を抑えることができた
- JTAGテストを導入することで、BGA実装における未検査領域を大きく減らすことに成功
- 試作品の段階から検査可能なため、システム上基本的なハードウェア部分が合格したものをファームウェア担当者に提供できるようになった
- X線検査ではBGAのオープン故障が判断できない。JTAGテストでBGAはんだ接合部を保証
- JTAGテストを適用することにより、30%以上のテストランドを排除することができた
- ICTの疑似不良削減が実現でき、ICT直行率95%以上を達成

2. バウンダリスキャンテストに対応したCAD機能

欧米では瞬く間にボードテストの主流の流れとなり、欧米の半導体メーカーはJTAG機能搭載半導体をリリースしてきた。それに合わせてCADにはJTAGに対応したテスト設計が容易にできるように、以下の機能が搭載されている。

- JTAG 対応ネットのハイライト表示
- 全ネットに対するJTAG 対応/ 非対応のネット検出率をレポート
- 抵抗やジャンパ、クラスタをパスした専用EDIF (Electronic Design Interchange Format) ネット出力

ハイライト表示と検出率レポート例を図3に示す。

また、さらなる設計とテスト環境の融合という視点で、JTAGテスト統合環境との個別連携も行っている。例としてJTAG Technologies製「JTAG ProVision」との連携について述べる。

開発の背景としては、従来、テストカバレッジやテスト結果は「JTAG ProVision」側でCADデータを表示して確認していたが、「JTAG ProVision」の環境は設計者が操作できる環境にないケースが多く、設計者が確認することが難しかった。残念なことにツール上でも設計と検査の乖離が起きていた。そこで設計ツールである回路CAD「Design Gateway」上で、検査のJTAGテスト結果をレビューできるように、バウンダリスキャン・アドバイザー機能を拡張し、連携機能を開発した。図4にその概要を示す。

さらに、JTAGテストカバレッジ率表示機能(「JTAG ProVision」上でのJTAGテストのカバレッジ率をDG上

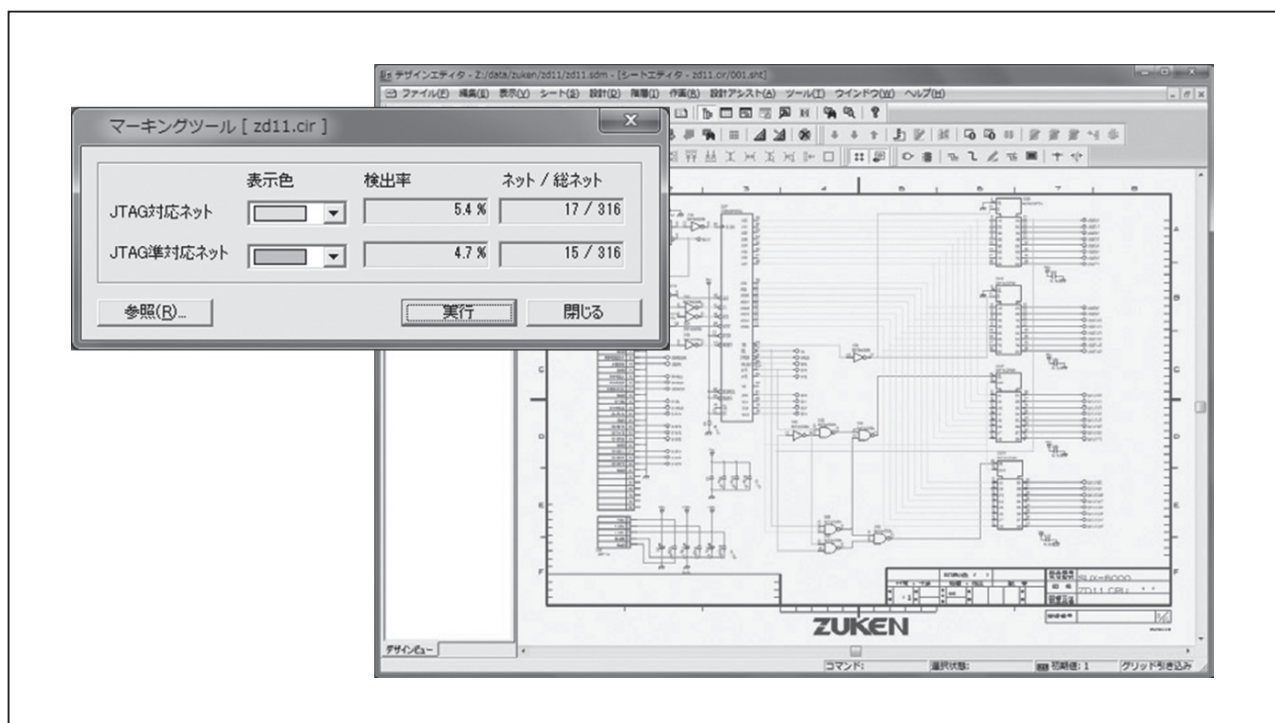


図3 JTAG 対応ネットのハイライト表示と検出率レポート例

でマーク表示する機能)や、テスト結果表示機能(「JTAG ProVision」でのテスト結果(該当するネット、部品)をDG上でマーク表示を行う機能)を追加した。両機能ともメニューダイアログから実行可能とした(図5)。

運用フローとしては、回路CAD「Design Gateway」で設計した回路図からネットリストファイルを出力し、「JTAG ProVision」に読み込む。次に「JTAG ProVision」にて部品ライブラリの検索を行ない、JTAGテストパターン(BSDLファイル)を作成し、テストカバレッジファイル結果をファイル出力(Imsgファイル)する。そして、その結果ファイル(Imsg

ファイル)を回路CAD「Design Gateway」から読み込み、回路図上にカバレッジ率をオブジェクト毎に色を付けて表示する。その際、マークを上書きするか否かを選択できる。

回路CAD「Design Gateway」とJTAGテスト統合環境「JTAG ProVision」がシームレスに連携できるため、設計段階で検査段階のチェックができる。回路設計者はこのJTAGテストカバレッジのレビュー結果から検査不足箇所を見つけ、回路的な工夫を施すことが可能になる。

回路修正の結果によるJTAGテストカバレッジの可否も直ぐに確認できる。このサイクルを設計段階で容易に繰り返す

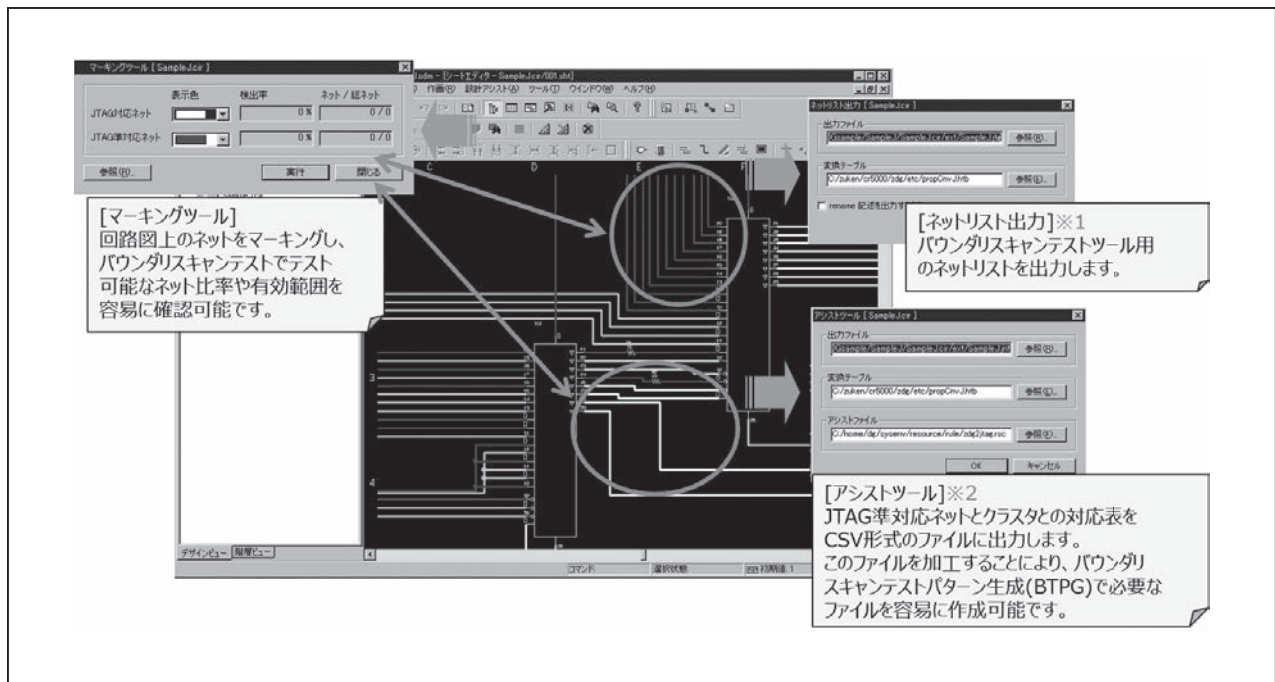


図4 JTAG ProVisionユーザ向け連携機能

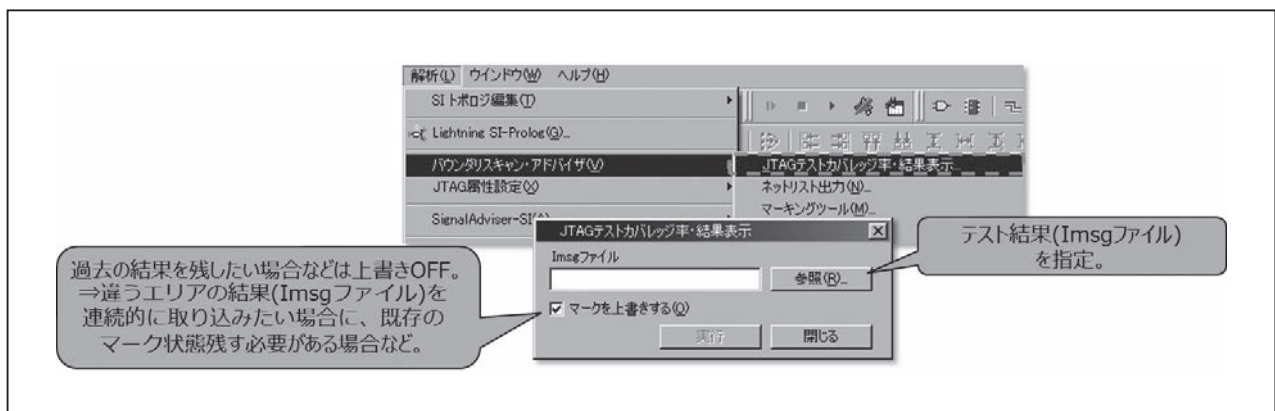


図5 JTAGテストカバレッジ率・結果表示

F E A T U R E

ことにより、後段で行っていた基板設計上での追加テストポイントの生成作業を減らすことができる(図6)。

まさにDfTである。

3. バウンダリスキャンテスト導入の課題と解決の方向性

JTAGは欧米に比べて残念ながら日本では普及が進んでおらず、高密度基板や部品内蔵基板での適用事例もいまだ少ない。原因としては、認知度が低い、対応LSIの需要と供給問題が指摘されている⁴⁾。

われわれがBGA/CSP搭載基板の顧客から、聞いている課題を4つ挙げ、それぞれにコメントする。

(A)手間がかかる割に省力化できなかった

- CADライブラリとBSDLファイルの割当てに工数がかかる
- JTAGの特性上、半断線(あるいはショート寸前)が検出できないため、BGAの検査にJTAGを採用しても、X線検査の完全代替にならない

従来BSDLファイルの取得には手間がかかっていたが、FPGAを中心に改善してきている。また、導入している事例では完全代替しているケースは少なく、テストの効率を上げて

いる成功事例は、それぞれの組み合わせが多い。

(B)技術的なエキスパートの養成が必要

- テストプログラムも組む必要があるが、生産技術側にエキスパートが必要
- JTAG用の4-5本の信号配線方法についても、回路設計者にレクチャが必要になる。必ずしも1系統でなく、駆動電圧が混在していれば2系統に分割したり、テスト時間が長いようなら、さらに分けたりしなければならない

バウンダリスキャンテストは、チェックのために最低でも4-5ピンの接続が増え、その分の回路設計、パターン設計の注意点多くなる。導入する部署にとっては新しい技術になるので、教育やCADでの支援機能の充実は今後も必要になる。

(C)JTAG実装への不安

- 検査時のみに使う5本のJTAG信号がそのままECU上に残っていて悪影響がないか、実証されていない。特にJTAGは一筆書きで結線するので、ループが発生し、誘導電流が発生しノイズ源になったりしないか、という不安がある

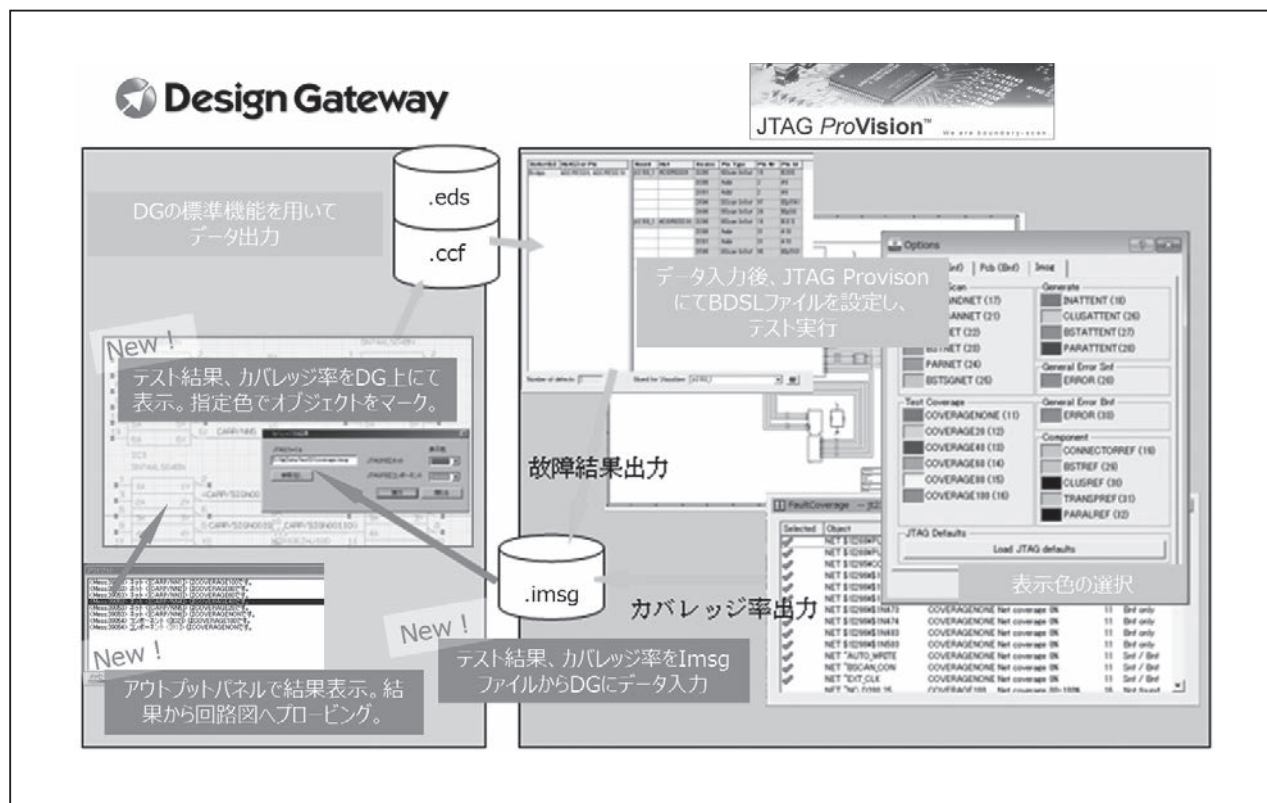


図6 運用イメージ

車載電子機器の場合、ノイズ問題は非常にセンシティブなので、今後も改善の検討は必要と考えるが、カーナビなどでの採用事例も増えてきている。

たとえば、JTAGコントローラが多チャンネルに対応してきたことにより、JTAG対応のマイコン、FPGAを複数同時にコントロールして、同期を取りながらテストできるようになってきた。

そのため、JTAG対応部品間のJTAGチェーンを基板内で配線せずに、JTAG対応部品から表層のテストパッドにJTAG信号を配線するだけでテストが可能になる。

この場合、基板上の配線はループにならず、パターン配線の専有面積も最小限にできる。上述のようにJTAG導入により、基板テストポイント数の削減も見込めるため、基板全体のアンテナパターンが減る方向になる。また、JTAG用のテストパッドだけで導通テストがクローズされるので、クロック信号やデータ転送バスなどに代表される高速信号パターンへのテストパッド付加が回避でき、パッドによる不要な反射ノイズを押さえることができ、設計者へのメリットも大きい。

(D)設計の協力がなかなか得られない。

- 検査の仕事であるため「生産技術」の役割になるが、「設計」の協力なしでは実現できない。もしJTAG回路を組み込んで製造側の省力化につながるなら値引きせよとの話になる。設計と製造・検査を上位の立場で考える人がいないとなかなか採用に至らない

特にこの課題は重要だと考える。日本では基板の高密度化に伴い、高度な分業化が進んでしまい、テスト技術者側と回路設計技術者側の距離が乖離している。いっぽうで、今後の検査技術を考えて場合、X線検査やバウンダリスキャンテストだけでは特定が困難な複合的な電子回路が一般的になっ

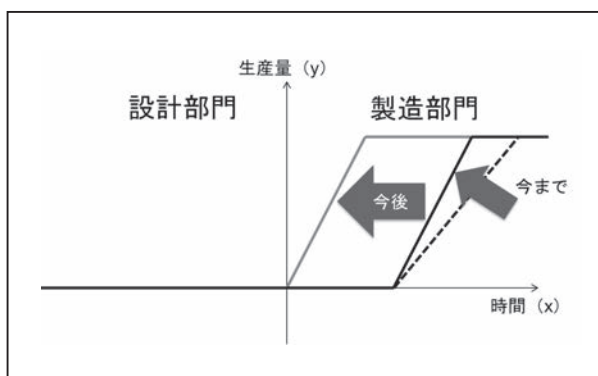


図7 生産量を向上させる活動

てくると、部門を超えた連携によるDfTやFUJIKO(JPCA-EB02-2011)といったデータフォーマット活用による企業間を超えたデータ共有による連携が必要になってくることが指摘されている⁵⁾。

図7に生産量を向上させる活動を図示してみた。

今までの各部門における部分最適活動は、 $y=ax+b$ の式に例えると「a」を最大化する活動であった。しかし、ある期間で生産量(出荷量)を最大にするには生産準備期間に手を付けなければならない。つまり「b」を限りなく0に近づける活動である。これは部門を超えた全体最適活動を意味する。今後は設計部門の協力は必須である。上記バウンダリスキャンテストも回路設計でJTAG機能搭載半導体が採用されなければやりようが無い。

4 おわりに

DfT(Design for Testing)実現に向けたEDAの取り組みについて述べてきた。さいわい、学会や業界団体などで設計部門に関わるEDAベンダーだけでなく、製造部門の実装に関わる実装機のメーカー、検査に関わるテスターメーカーが討議する場がある。

顧客側で検討できないことを、まずはそれぞれの部署と対峙するメーカーが意見交換を始めることにより、お互いのサポート範囲を超えたアイデアが出てきた。この意見交換の交流を意図的に発展させ、それぞれのユーザ部門に対して、垣根を超えた全体最適の優位性を啓蒙して行かなければならない。

いよいよ、本格的なDesign for Testingのスタートである。今後もDfXの実現に向けて、IoT市場での日本の電子機器発展に貢献していく所存である。

<参考文献>

- 1) 宇賀神孝：“JTAGとは何か?” Design Wave Magazine、2000年2月号
- 2) 大崎博文：“デジタルビデオカメラへのMCM/CSP実装技術” 電子技術、2000年10臨時増刊号
- 3) <http://www.andor.jp/jtag/jtag-results/jtag-user/>より
- 4) 亀山修一：“部品内蔵基板試験の課題とバウンダリスキャンへの期待”エレクトロニクス実装学会部品内蔵技術委員会ロードマップWG 公開研究会 2016年10月12日
- 5) 検査技術委員会：“プリント回路板における検査のあり方と問題”エレクトロニクス実装学会誌 Vol.19, No.1, pp.27-29, 2016